

CHIP CARRIER

Patent Number: JP59188948
Publication date: 1984-10-26
Inventor(s): YAMAGUCHI YUKIO
Applicant(s): NIPPON DENKI KK
Requested Patent: ☐ JP59188948
Application Number: JP19830062205 19830411
Priority Number(s):
IPC Classification: H01L23/36; H01L21/58
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the heat dissipating property without including an insulator in a thermal conduction route by a method wherein a through hole is bored in the chip carrier, where a heat dissipating conductor plate is buried, an electronic component is fixed thereon with solder, and the back surface of said plate is adhered directly on a substrate via solder.

CONSTITUTION: The through hole is bored in the chip carrier main body 11, where the heat dissipating conductor plate 17 is buried, and the electronic component 14 is fixed thereon with the solder 15. Next, the terminals provided in the component are connected to the conductor circuit 18 formed on the main body 11 by means of wires 22, and the back surface of said plate 17 is fixed to the surface of the substrate 10 via the solder 16. Besides, the conductor circuit 18 provided on the back surface of the main body 11 is connected to the conductor circuit 24 on the substrate 20 by means of the solder 23. Thereafter, the main body 11 is covered with a cover 19, thus being made as the semiconductor device. In this constitution, the through hole can be provided in the substrate 20 in a plurality instead of one.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開

昭59—188948

⑤ Int. Cl.³
H 01 L 23/36
21/58

識別記号

庁内整理番号
6616—5F
6679—5F

⑬ 公開 昭和59年(1984)10月26日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ チップキャリア

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭58—62205
⑰ 出 願 昭58(1983)4月11日
⑱ 発 明 者 山口幸雄

⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 住田俊宗

明 細 書

1. 発明の名称

チップキャリア

2. 特許請求の範囲

- (1) チップキャリアの電子部品搭載面とチップキャリア外側底面間を放熱用導体で貫通したことを特徴とするチップキャリア。
- (2) 特許請求の範囲第1項記載のチップキャリアにおいて、チップキャリアの電子部品搭載面とチップキャリア外側底面間を貫通して複数の孔を穿設し、前記放熱用導体は上記複数の孔に充填されたことを特徴とするもの。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、電子装置等々に使用される多層配線基板へ電子部品を実装するためのチップキャリアに関し、特に放熱性の改良に関する。

従来技術

従来、チップキャリアは、第1図の一部破砕斜視図、第2図の断面図に示すように、チップキャ

リア本体1の電子部品搭載面に放熱用導体面2を形成し、さらにチップキャリア本体1の外側底面に放熱用導体面3を形成して、電子部品4を半田等の接続材料5によつて放熱用導体面2に接合し、チップキャリア本体1は放熱用導体面3を半田等の接続材料6によつて多層配線基板止に搭載される構造である。従つて、電子部品4の発熱は、接続材料5、放熱用導体面2、チップキャリア本体1の底部、放熱用導体面3および接続材料6を介して多層配線基板へ伝達される。この場合、チップキャリア本体1の底部の絶縁体の厚みが熱伝導を阻害するため、大電力の電子部品に対しては放熱が充分になされないという欠点がある。

発明の目的

本発明の目的は、上述の従来の欠点を解決し、放熱性の良好なチップキャリアを提供することにある。

発明の構成

本発明のチップキャリアは、チップキャリアの電子部品搭載面とチップキャリア外側底面間を放

熱用導体で貫通したことを特徴とする。

なお、チップキャリアの底部に、電子部品搭載面と外側底面間を貫通する複数の孔を穿設して、前記放熱用導体をこの孔に充填させるようにすれば製造が容易である。

発明の実施例

次に、本発明について、図面を参照して詳細に説明する。

第3図は、本発明の一実施例を示す一部破砕斜視図、第4図はその断面図である。すなわち、チップキャリア本体11の電子部品搭載面と外側底面間には、放熱用導体板17がチップキャリア本体11の底部を貫通して形成されている。従つて、該放熱用導体板17の内側面（図中上面）が電子部品搭載面とされ、電子部品14は半田等の接統材料15によつて上記放熱用導体板17の図中上面に直接接合される。チップキャリア本体11を基板20に実装するためには、前記放熱用導体板17を半田等の接統材料16によつて基板表面の放熱用導体面21に接合すればよい。なお、参照

20上の放熱用導体面21に接統される。そして、電子部品14の発熱は、主として放熱用導体37によつてバイパスされて基板に伝達される。上記バイパス経路には絶縁材料を含まないので必要最小限の熱を効率よくバイパスさせるため放熱性が向上する効果がある。本実施例は、チップキャリア本体の底部に穿設された孔に柱形状の放熱用導体37を充填した構造であるから、製造が容易である。

発明の効果

以上のように、本発明においては、チップキャリアの電子部品搭載面と外側底面間に放熱用導体を貫通させ、電子部品の発熱は上記放熱用導体を通して基板等へ伝達するように構成したから、放熱性が向上する効果がある。上記放熱用導体はチップキャリア底部に穿設された複数の孔に熱導体を充填すること等によつて容易に形成することができる。

4.図面の簡単な説明

第1図は従来のチップキャリアの一例を示す一

数字18はチップキャリア11の導体回路、19はカバー、22は電子部品14を導体回路18に接続する線材、24は基板20の導体回路である。チップキャリアの導体回路18は、半田等の接統材料23によつて基板の導体回路24に接続される。本実施例においては、電子部品14の発熱は接統材料15、放熱用導体板17および接統材料16を介して基板20へ伝達される。熱伝導経路に絶縁体部分を含まないので放熱性が向上し、大電力の電子部品を搭載することができるという効果がある。

第5図は、本発明の他の実施例を示す一部破砕斜視図であり、第6図はその断面図である。この場合は、チップキャリア本体11の電子部品搭載面と外側底面間を貫通して複数の孔を穿設し、この孔に柱形状の放熱用導体37を充填している。複数の放熱用導体37の上、下面は放熱用導体によつて連結されることが望ましい。電子部品14は接統材料15によつて放熱用導体37に接統され、放熱用導体37は接統材料16によつて基板

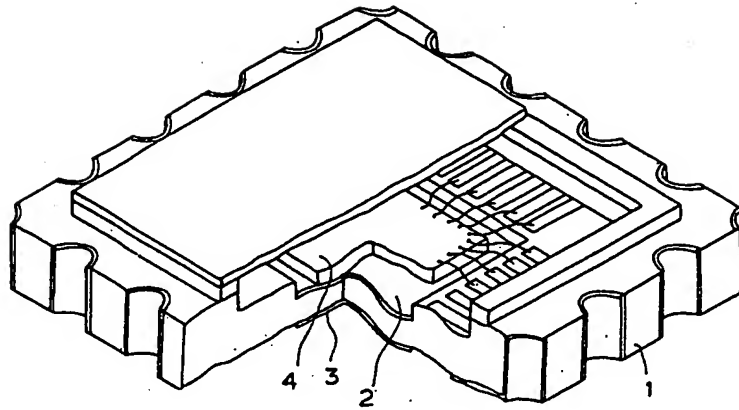
部破砕斜視図、第2図は上記従来例の断面図、第3図は本発明の一実施例を示す一部破砕斜視図、第4図は上記実施例の断面図、第5図は本発明の他の実施例を示す一部破砕斜視図、第6図は上記実施例の断面図である。

図において、1、11…チップキャリア本体、2、3…放熱用導体面、4、14…電子部品、5、6、15、16、23…接統材料、17…放熱用導体板、18…導体回路、19…カバー、20…基板、21…基板の放熱用導体面、22…線材、24…基板の導体回路、37…放熱用導体。

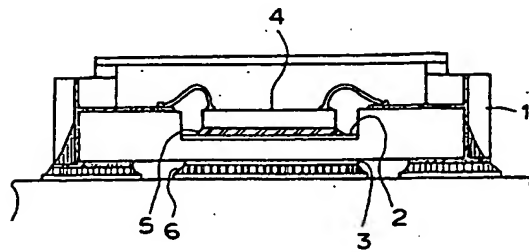
代理人 弁理士 住 田 俊 宗

BEST AVAILABLE COPY

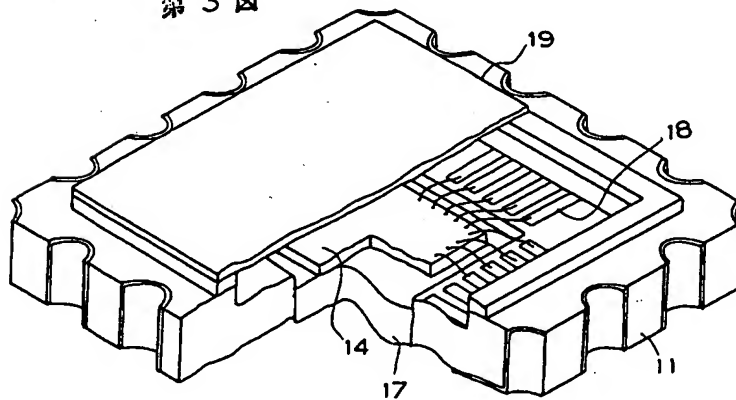
第 1 図



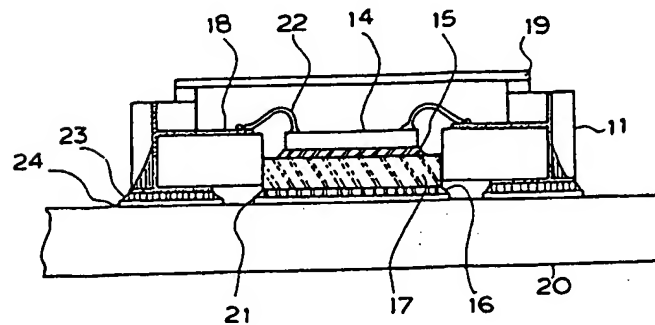
第 2 図



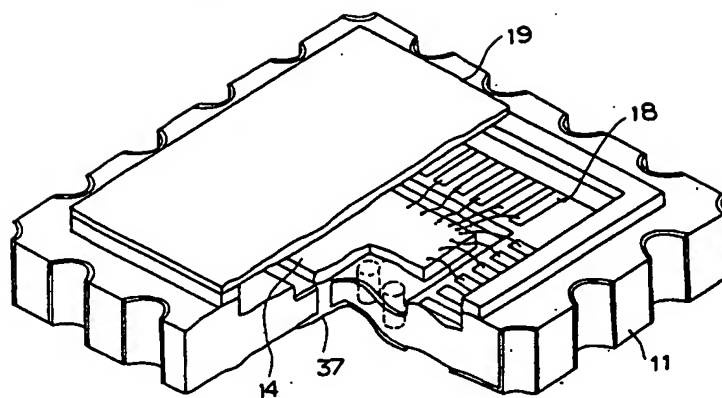
第 3 図



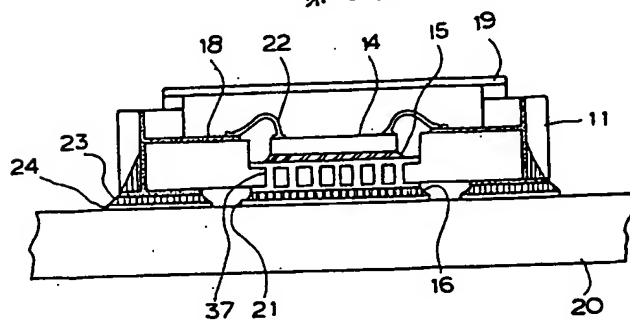
第 4 図



第 5 図



第 6 図



BEST AVAILABLE COPY